

MANUFACTURE OF VACUUM FIELD EMISSION EMITTER

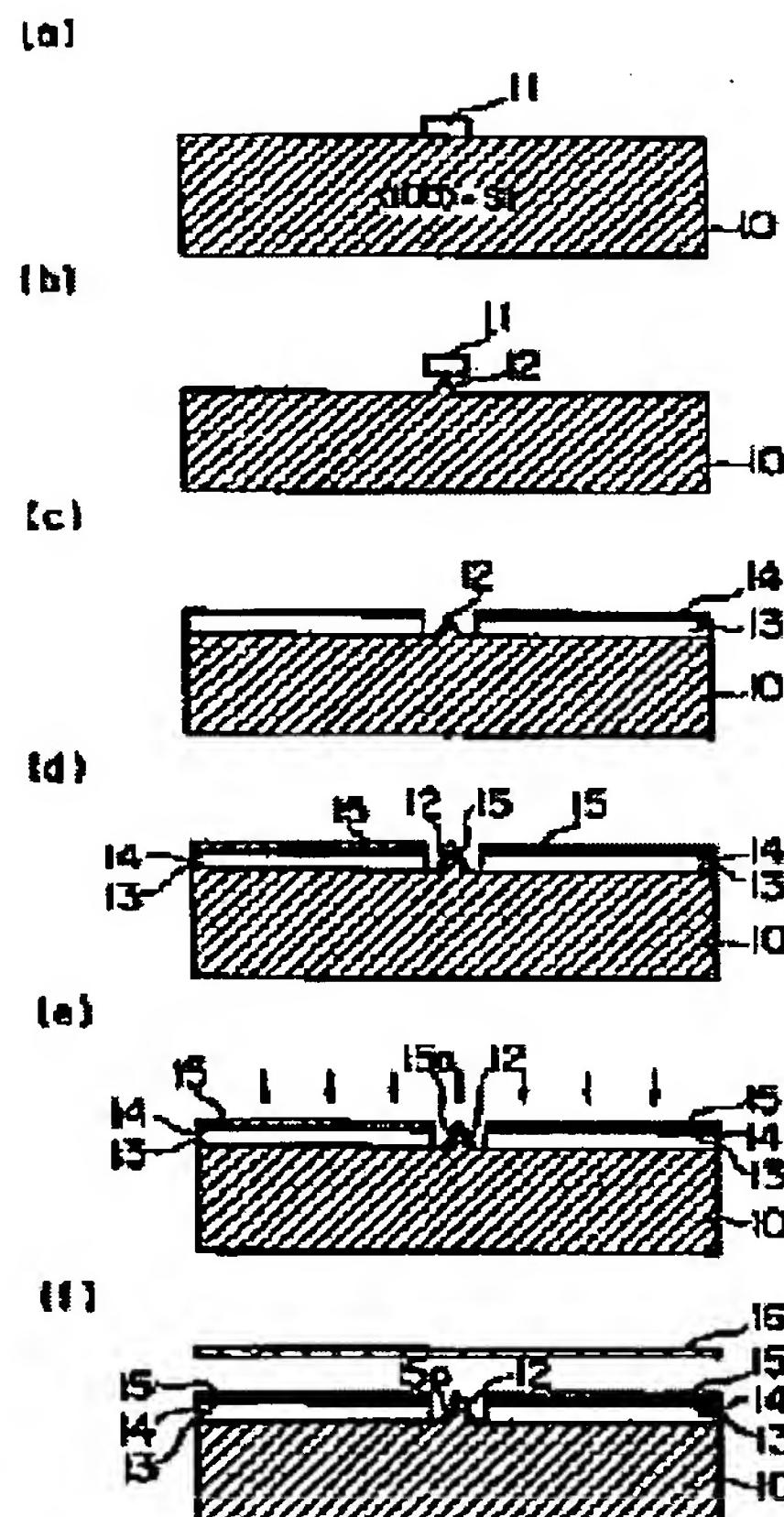
Publication number: JP8195165
Publication date: 1996-07-30
Inventor: KAKINUMA HIROAKI
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- **International:** H01J9/02; B81C1/00; H01J1/304; H01J9/02;
B81C1/00; H01J1/30; (IPC1-7): H01J9/02
- **European:**
Application number: JP19950005269 19950117
Priority number(s): JP19950005269 19950117

[Report a data error here](#)

Abstract of JP8195165

PURPOSE: To reduce the attraction of molecules of O₂ and H₂ to an emitter.

CONSTITUTION: A circular SiNx 11 is formed on an expected area for forming an emitter 12, and the conical emitter 12 having the height of about 1&mu m is formed. An insulating film 13 and a gate electrode 14 are formed. A diamond thin film 15 having the thickness of 10-100nm is formed. The gas containing F and used for normal silicon etching such as CF₄ /O₂ , NF₃ , F₂ , or SF₆ is introduced into a vacuum chamber at the pressure of 0.1-1 Torr, it is converted into plasma by the discharge of high frequency wave (13.56MHz) or microwave (2.45GHz), and the F radical is generated. The =C-F group is generated when the F radical is bound with C on the diamond surface, and a film 15a of the =C-F group is formed on the surface of the emitter 12. An anode 15 is arranged to face the silicon substrate SiNx 11.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-195165

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl.⁶

H01J 9/02

識別記号

府内整理番号

F I

技術表示箇所

C

B

審査請求 未請求 請求項の数2 O.L (全4頁)

(21)出願番号 特願平7-5269

(22)出願日 平成7年(1995)1月17日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 柿沼 弘明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 柿本 恒成

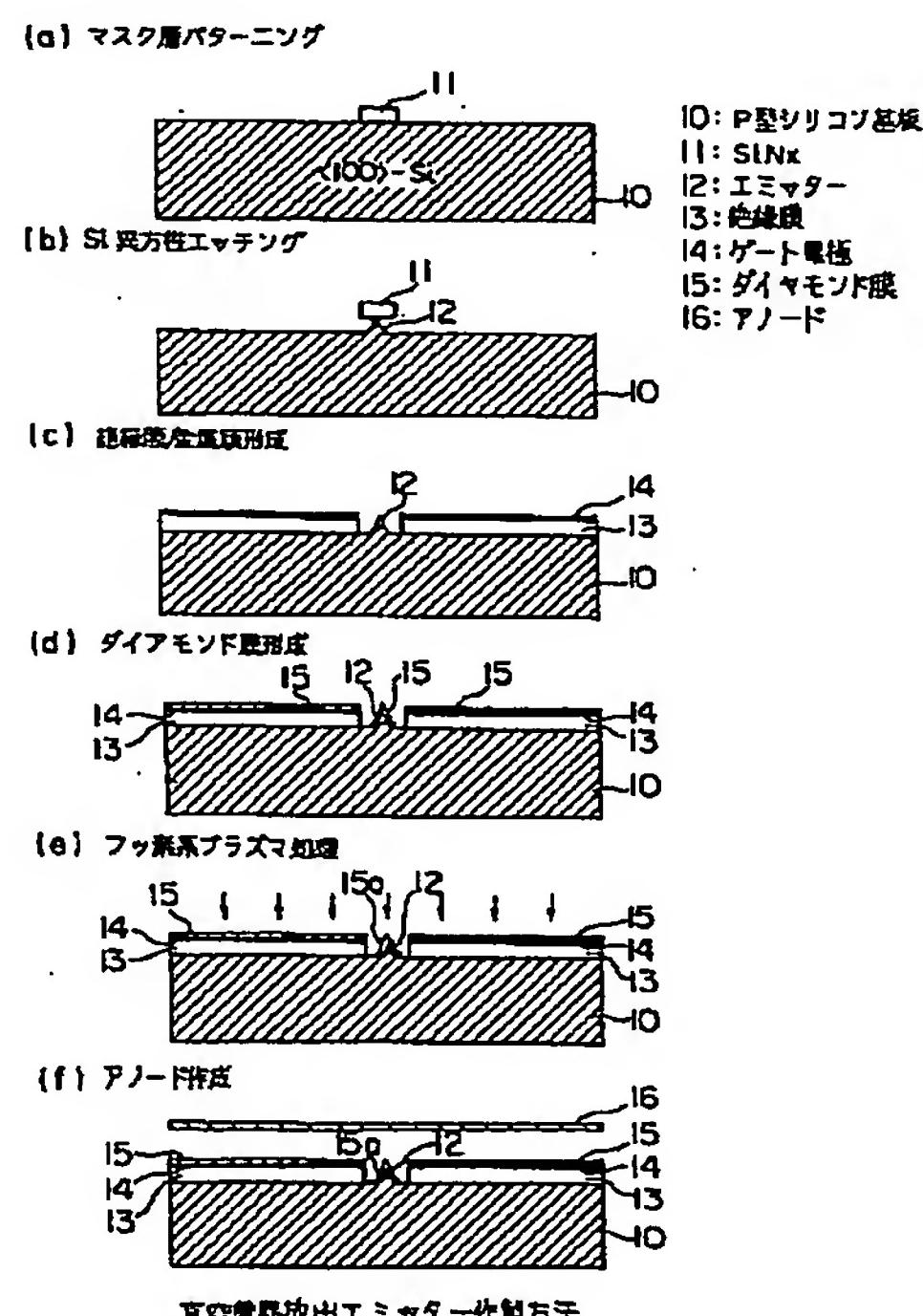
(54)【発明の名称】 真空電界放出エミッターの作製方法

(57)【要約】

【目的】 O_2 や H_2O 分子のエミッターへの吸着を低減する。

【構成】 エミッター形成予定領域上に円の SiN_x を形成して、コーン状の高さ約 $1\mu m$ のエミッター12を形成する。その後、絶縁膜13及びゲート電極14を形成する。次に、膜厚 $10 \sim 100 nm$ のダイヤモンド薄膜15を成膜する。真空チャンバー内に CF_4/O_2 、 NF_3 、 F_2 又は SF_6 等、通常のシリコンのエッチングに用いられるFを含むガスを気圧が $0.1 \sim 1 Torr$ となるように導入して、高周波 ($13.56 MHz$) 又はマイクロ波 ($2.45 GHz$) の放電によりプラズマ化して、Fラジカルを発生させる。このFラジカルは、ダイヤモンド表面のCと結合して $=C-F$ 基を作り、エミッター12の表面を $=C-F$ 基の膜15aで被膜する。その後、シリコン基板11に対向にしてアノード16等を配設する。

FP05-0100-
0000-SE
05.7.05
SEARCH REPORT



真空電界放出エミッター作製方法

【特許請求の範囲】

【請求項1】 真空中で近接して配置されるゲート電極によりかけられる電界により電子を放出する真空電界放出エミッターの作製方法において、表面が炭素を主な素材で覆われ、突出した形状を有するエミッターを形成する工程と、前記エミッターの表面の炭素とフッ素を反応させて、表面にC—F基を生成する工程とを、順に施すことを特徴とする真空電界放出エミッターの作製方法。

【請求項2】 前記炭素とフッ素の反応は、フッ素ガスを用いたプラズマ処理によって行うことを特徴とする請求項1記載の真空電界放出エミッターの作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、真空中でゲート電極により電界をかけてエミッターより電子を放出する真空電界放出エミッターの作製方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献：J. Vac. Sci. Technol. B 12 (2), Mar/Apr, 1994, American Vacuum Society, (米)、V.V. Zhirnov 他著、「Chemical Vapor deposition and plasma-enhanced chemical vapor deposition carbonization of silicon microtips」

シリコンの微細加工技術いわゆるマイクロマシニングを用いて微小なエミッターとゲート電極、及びアノードを作製して、真空中でエミッターとゲート電極との間に電界を掛けることによりエミッターから電子を放出させる電界放出素子の研究が盛んに行われている。このエミッターとゲート電極を複数個並べたアレイ（以下、FEA (Field Emitter Array) と呼ぶ）は、ディスプレイや磁気センサ等への応用が期待されている。図2は、FEAの構造を示す図である。図2に示すように、このFEAでは、図示しないシリコン基板上にコーン型のエミッター1に近接して配置されたゲート電極2により電界をかけてエミッター1より電子を放出させる。そして、エミッター1に対向して配置された図示しないアノードに印加された正の電圧によってエミッター1より放出された電子が捕らえられる。ディスプレイなどではアノード表面に塗布された螢光体に電子が衝突して発光する。

【0003】

【発明が解決しようとする課題】しかしながら、従来の真空電界放出エミッターの作製方法においては、次のような課題があった。微細加工が容易な点、周辺回路を集積化しやすい点からシリコン基板を用いる場合が多いが、その場合エミッターの材料もシリコンで作製する。エミッターからの電子の放出は真空中で動作させるとはいへ、真空排気の際に残留したO₂ やH₂Oにより徐々

にエミッターが酸化していくのは避けられない。しかし、酸化することによりエミッターより電子の放出が妨げられて、放出電流の経時変化の原因となることが実験的に知られている。これを防ぐために、エミッターの表面をアモルファスカーボン (a-C:H)、アモルファスシリコンカーバイト (a-SiC) やダイアモンド薄膜でコーティングする方法が、前記文献により提案されている。しかし、この方法であってもO₂ やH₂Oが表面に吸着することによる変化は避け難がかった。

10 【0004】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、真空中で近接して配置されるゲート電極によりかけられる電界により電子を放出する真空放電エミッターの作製方法において、以下の工程を順に施す。すなわち、表面が炭素を主な素材で覆われ、突出した形状を有するエミッターを形成する工程と、前記エミッターの表面の炭素とフッ素を反応させて、表面にC—F基を生成する工程とを順に施す。

20 【0005】

【作用】第1の発明によれば、以上のように真空放電エミッターの作製方法を構成したので、エミッターの表面の炭素とフッ素とを反応させてC—F基を生成する。このC—F基は、エネルギーが小さくて安定するために、O₂ やH₂Oがエミッターの表面に吸着することを抑制する働きがある。従って、前記課題を解決できるのである。

30 【0006】

【実施例】図1(a)～(f)は、本発明の実施例の真空電界放出エミッターの作製方法を示す作製工程図である。以下、本発明の実施例の真空電界放出エミッターの作製方法(a)～(f)に説明する。

40 (a) マスク層パターニング工程

反応性スパッタ法により、<100>のp型シリコン基板10上に厚さ1μm程度のマスク層としてのSiNxを成膜する。その後、フォトリソグラフィーを用いて、エミッター形成予定領域に直径約1μmの円のレジストパターンを形成する。そして、このレジストパターンをエッチングマスクとして、SiNxをエッチングして、エミッター形成予定領域上に円のSiNx11を形成する。その後、レジストパターンを除去する。

40 (b) Si異方性エッチング工程

SiNx11をエッチングマスクとして、水酸化カリウム(KOH)の熱水溶液に浸して、シリコンを約1μm程度異方性エッチング(<100>のp型シリコン基板10を使用しているためにウェットエッチングでも異方性エッチングが可能である)して、コーン状の高さ約1μmのエミッター12を形成する。その後、SiNx11を除去する。

50 【0007】(c) 絶縁膜／金属膜の形成工程

反応性スパッタ法により、膜厚のSiO₂等の絶縁膜1

3を成膜して、さらに蒸着法により、膜厚100nmの程度のゲート電極形成用の金属膜（例えば、Cr）14を成膜する。次に、フォトリソグラフィーを用いて、エミッター12を取り囲むようにレジストパターンを形成する。そして、反応性イオン性エッチングにより、レジストパターンをマスクとして、Cr14及びSiO₂13をエッチングした後、レジストパターンを除去する。すると、エミッター12に近接して、ゲート電極14が形成される。

(d) ダイヤモンド膜形成工程

CH₄又はCO、及びH₂を用いたプラズマCVD法、あるいは熱フィラメント法により、膜厚10～100nmのダイヤモンド薄膜15を成膜する。このダイヤモンド薄膜15の炭素によって、エミッター12から電子が放出され易くなる。

【0008】(e) フッ素系プラズマ処理工程
プラズマCVD法、又はエッチャーチャー装置を用いてプラズマ処理を行う。これを行うには、真空チャンバー内にCF₄/O₂、NF₃、F₂又はSF₆等、通常のシリコンのエッチングに用いられるFを含むガスを気圧が0.1～1 Torrとなるように導入して、高周波(13.56MHz)又はマイクロ波(2.45GHz)の放電によりプラズマ化して、Fラジカルを発生させる。このFラジカルは、ダイヤモンド表面のCと結合して=C-F基を作り、エミッター12の表面を=C-F基の膜15aで被膜する。この=C-F基は、エネルギーが小さく安定しており、その結果、エミッター12の表面エネルギーが小さくなり、H₂OやO₂等の分子が吸着する割合が減少して、エミッター12の表面が酸化されにくくなる。

(f) アノード作成工程

スパッタ法、フォトリソグラフィ、及び反応性イオンエッチングにより金属のパッドを形成する。その後、シリコン基板11に対向にしてアノード16を配設する。

【0009】以下、図1(f)の動作の説明をする。エミッター12の電位よりも高い電位をゲート電極14に印加すると、エミッター12とゲート電極14間に電界が発生する。その電界によりエミッター12から電子が放出されて、その電子が正の電位のアノード16に捕ら

えられる。ディスプレイなどでは、電子の衝突によりアノード16に塗布した蛍光体が発光する。以上のように、本実施例では、エミッター12の表面をC-F基で被膜したので、エミッターの表面のエネルギーが小さくなり、H₂OやO₂等の分子が吸着する割合が減少する。そのために、エミッターの表面が酸化されにくくなり、エミッター放出電流の経時変化が小さくなる。なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなもの

10 がある。

(1) 本実施例では、フッ素を用いたが窒素を用いて、=C-N基でエミッター表面を覆ってもよい。

(2) 本実施例では、シリコン基板を用いたが石英などを用いてもよい。この場合には、段差のある石英の下段の表面上にゲート電極、上段の表面にエミッターを配置する横型の構造にしてもよい。

(3) 本実施例では、ダイヤモンド薄膜を形成したが、アモルファスカーボン、アモルファシリコンカーバイトなどの薄膜でもよい。

20 【0010】

【発明の効果】以上詳細に説明したように、第1～2の発明によれば、エミッターの表面の炭素とフッ素を反応させて、表面にC-F基を生成するので、エミッターの表面にH₂OやO₂等の分子が吸着する割合が減少して、エミッター12の表面が酸化されにくくなる。したがって、真空放電エミッターの電子の放電電流に経時変化を抑制することができる。

【図面の簡単な説明】

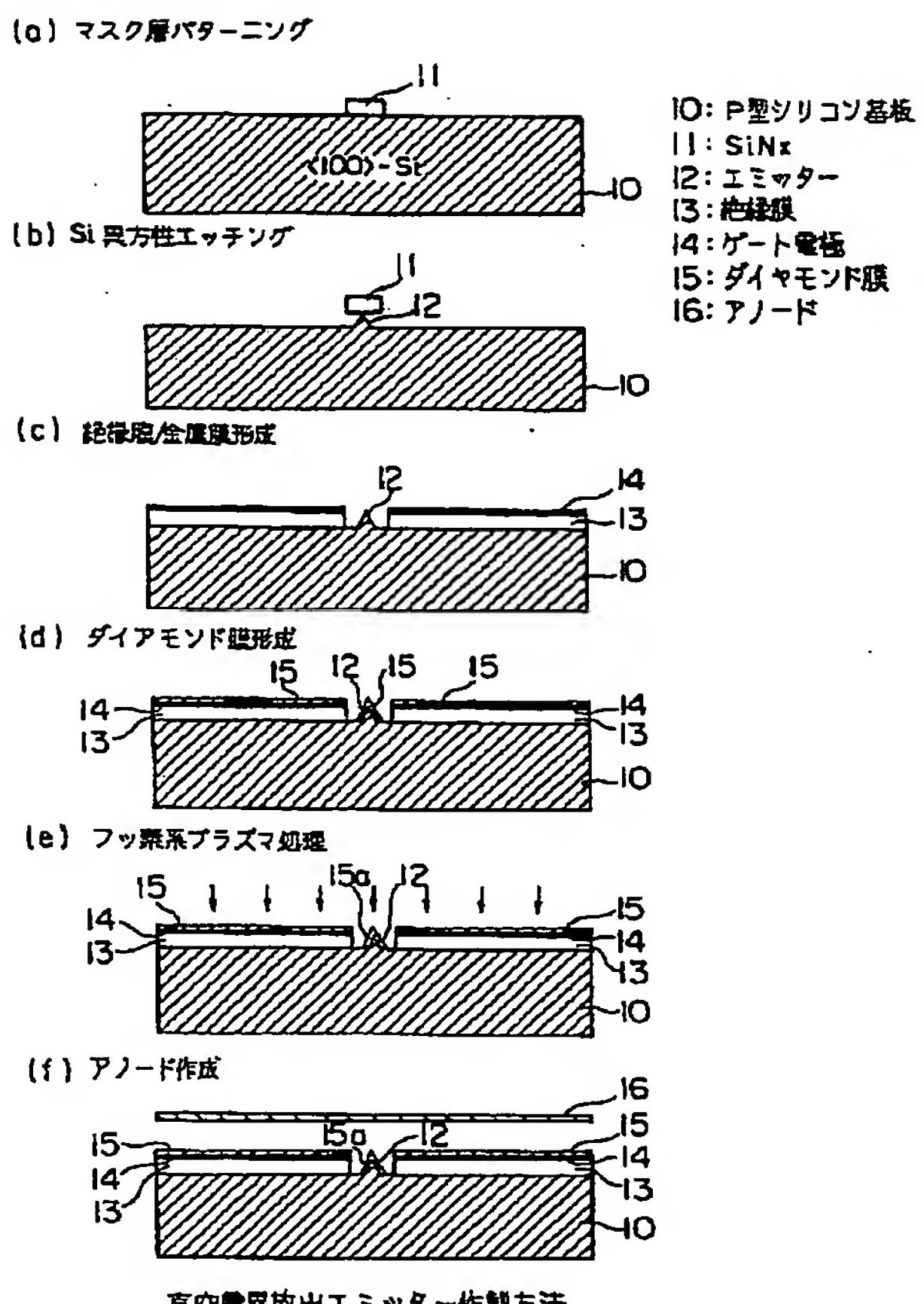
【図1】本発明の実施例の真空電界放出エミッターの作製方法を示す作製工程図である。

【図2】FEAの構造を示す図である。

【符号の説明】

10	シリコン基板
11	SiNx
12	エミッター
13	絶縁膜
14	ゲート電極
15	ダイヤモンド膜
16	アノード

【図 1】



真空電界放出エミッター作製方法

【図 2】

